

引用格式:赵浩男,郭轩,周磊,等. 无采保流水线型 ADC 中比较器失调后台校准方法与 FPGA 实现[J]. 微电子学与计算机, 2021,38(9):93-98. [ZHAO H N, GUO X, ZHOU L, et al. Background calibration and FPGA implementation of comparator offset in SHA-less pipelined ADC[J]. Microelectronics & Computer, 2021,38(9):93-98.]

无采保流水线型 ADC 中比较器失调 后台校准方法与 FPGA 实现

赵浩男^{1,2}, 郭 轩¹, 周 磊¹, 吴旦昱¹, 武 锦¹

(1 中国科学院 微电子研究所, 北京 100029;

2 中国科学院大学, 北京 100049)

摘 要: 为了解决超高速无采保流水线型 ADC 中比较器失调(包含孔径误差与静态比较器失调)对整体性能的影响问题, 本文提出了一种后台数字校准方法. 该方法通过在数字域对输出余差进行统计完成误差的检测, 并在模拟域调节校准 DAC 完成误差的校准. 校准基于余差均值之差和极值之和, 分别对孔径误差和静态比较器失调进行迭代提取, 避免了来自其他非理想因素的影响, 提高了高频信号下 ADC 整体性能, 有效提高了校准的稳定性. 该方法应用于一款 2.5 GS/s 12 bit ADC 中, 并基于 FPGA 进行实现. 根据实际测试结果在输入信号频率为 1.913 GHz 时, 校准后 SNDR 提高了 8 dB. 该校准方法降低了无采保流水线型 ADC 的设计难度和模拟电路的设计压力, 为更高速、低功耗 ADC 设计提供了参考.

关键词: 无采保; 流水线 ADC; 静态比较器失调; 孔径误差; 数字校准

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2021)09-0093-06

Background calibration and FPGA implementation of comparator offset in SHA-less pipelined ADC

ZHAO Haonan^{1,2}, GUO Xuan¹, ZHOU Lei¹, WU Danyu¹, WU Jin¹

(1 Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China;

2 University of Chinese Academy of Science, Beijing 100049, China)

Abstract: In order to resolve the defect of comparator offset (including aperture error and static comparator offset) degrading the overall performance of high speed SHA-less pipelined ADC, an effective background digital calibration method is proposed. The detection of calibration is implemented by collecting the output residual voltage in digital domain, and the correction of calibration is implemented by controlling and configuring the DAC in analog domain. The calibration uses the difference of the mean values and the sum of extremums of the residuo to characterize the aperture error and static comparator offset respectively, which avoids the disadvantages brought by other non-idealities in calibration, improves the ADC performance for high speed input, and improves the stability effectively. The proposed calibration method is applied in a 2.5 GS/s 12bit ADC based on FPGA implementation. In this work, simulation and prototype verification are carried out to validate the practicability of the proposed method. The SNDR is improved by over 8dB@1.913GS/s based on the measurement. The calibration method decreases the difficulty of SHA-less pipelined ADC design, and relaxes the requirement of analog design, which provides reference for further high speed and low power ADC design.

Key words: SHA-less; pipelined ADC; static comparator offset; aperture error; digital calibration

收稿日期: 2020-12-10; 修回日期: 2021-01-07

基金项目: “高速高精度数模混合芯片”中国科学院战略性先导科技专项(XDC07020100)

1 引言

流水线 ADC 在实现高精度和高速度性能间保持了较好的折中,这使其在相关应用中得到较为广泛的使用.随着市场需求的提升和应用场景的扩展,精度、速度和功耗等指标的进一步提升成为了 ADC 设计研发的重点.且随着工艺水平的提高,制造和应用环节引入的非理想误差因素对性能的钳制日益显著,在结构、配置、校准算法及其实现上的创新则为提高性能(更高速、更低功耗)提供了可能性.由于采样保持放大器(SHA)带来额外的面积、功耗、噪声及失真,并引入难以克服的非线性^[1-3]等,设计常采用无采样(SHA-less)结构来优化整体性能.但该结构在显著降低功耗的同时,子 ADC 比较器和 MDAC 运放采样路径延时不一致,由此引入与信号和采样相关的孔径误差.加之工艺因素引起的静态比较器失调误差,二者均会造成运放输出余差的抖动,降低余差电压冗余的裕度,严重时可能超出上下限,进而直接造成失码,降低线性度和恶化 ADC 整体性能.虽然流水线采用每级 $n/5$ 比特量化结构使得采样电容数量和级间增益降低,且冗余位的设置提高了 ADC 对相关误差的容忍度,但为避免输出余差较大时受其他诸如比较器输入噪声、运放不完全建立误差因素的影响,仍需要一种有效的校准实现.通过该校准也可为其他校准技术的运用提供条件,如:各种基于抖动(dither)的相关算法.

为了匹配子 ADC 和 MDAC 采样路径,传统的设计方法集中在后端版图的对称布局布线上.模拟域校准中,主要采用将采样功能内嵌;共享采样电容合并两采样路径或共享运放;配置更多时钟相位来采用新的时序策略;配置比较器阈值网络等^[1-4]方法降低孔径时间.而数字校准在资源开销和配置上具有比较大的优势,便于提高高频信号下的高性能,降低设计要求.上述误差可表现为余差曲线中阶跃高度和阈值位置的变化.数字校准通过控制可变延迟线(VDL)和预放大器晶体管负载完成反馈调整.本校准部分置于流水线数据流末段,各级数字码校准后加权表征输出余差,ADC 及校准整体结构如图 1 所示.

2 比较器失调校准方案讨论

比较器失调校准主要由两部分组成:孔径误差校准和静态比较器失调校准.数字域中误差的检测可通过对后级数字码表示的余差进行统计来实现.

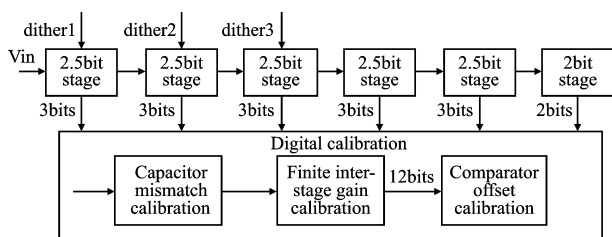


图 1 12 bit 流水线 ADC 结构示意图

故本校准部分置于流水线数据流末段,各级数字码权值调整后表征输出余差.

2.1 孔径误差校准

孔径误差主要由孔径时间(Δt)和带宽失配($\Delta \tau$)造成^[5],与孔径时间、信号频率和振幅成正相关,并且随工艺、电压、温度的变化而变化,当采样信号在比较器阈值附近时存在抖动,余差发生较为明显的溢出.文献[5]对余差溢出方向与信号斜率的组合情况分类,可确定孔径时间调节的方向.该方法可以实现快速收敛,但需引入信号频率的额外信息,即信号所在奈奎斯特区间.因此在不增加误差检测实现复杂度的情况下,很难确定斜率判断结果是否需要翻转.

如图 2 所示,以每级 2.5 bit 量化为例,对于一个单音正弦信号,当 V_{in} 渡越比较器阈值处 $V_{th}(n)$ 时,存在平行四边形抖动区域, $\Delta V_{res,max}$ 可表示为

$$\begin{aligned}\Delta V_{res,max} &= \frac{dV_{in}}{dt}(\Delta t + \Delta \tau) \\ &= 2\pi f_{in} A \cdot \cos t \cdot (\Delta t + \Delta \tau) \\ A \cdot \sin t &= V_{th}(n)\end{aligned}$$

式中, f_{in} 和 A 分别代表信号频率和信号幅度. $\Delta V_{res,max}$ 任何时刻不能大于 $LSB/2 = \frac{V_{ref}}{2n+1}$,且越小越好.对于一个 500 MHz 满幅正弦信号, $(\Delta t + \Delta \tau)$ 至少应小于 40 ps.若考虑比较器失调和其他非理想因素,该值很可能会大幅降低.

文献[6]在信号斜率未知情况下进行校准,通过“假设和翻转”来决定收敛过程中下次迭代方向的更新,并使用余差极值进行逼近.该设计可实现快速收敛,但信号斜率实时修正和极值刷新过程存在不可靠性.判断余差溢出的上下限设置固定未考虑度量其他误差,且若统计过程中产生较大离散值,则无法准确表征误差.

2.2 静态比较器失调校准

静态比较器失调主要由阈值电压漂移 ΔV_{th} 和 MDAC 采样时电容失配 ΔC_{si} 引入的不同补偿电荷造成.比较器失调误差 ΔV_{offset} 的最大值可表示为

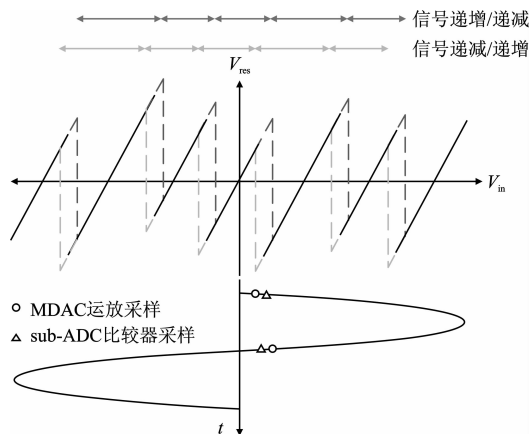


图2 含孔径误差抖动的余差曲线

$$\Delta V_{\text{offset}} = G \cdot \Delta V_{\text{th}} + \frac{\Delta C_{\text{si}}}{C_f} V_{\text{ref}}$$

式中, G 是第一级 MDAC 实际增益, C_f 是 MDAC 采样路径上的总反馈电容. 该式未对其他不可避免的随机因素进行量化, 如参考电压噪声、比较器输入噪声等.

在模拟域对静态比较器失调进行校准可选择添加辅助差分对, 或利用衬偏效应调节器件阈值等方法, 但其会引入额外的噪声并影响电路的速度, 且不利于在数字域对静态失调进行线性的控制.

此外, 可选择改变负载的方式进行比较器失调校准, 如图 3 所示. 控制预放大器结构中的晶体管控制开关 OS_N 、 OS_P , 当 $M1 \sim M3$, $M4 \sim M6$ 分别导通时, 等效地实现比较器阈值的负向和正向调整. 各晶体管阈值调整权重为 $4:2:1$, 用于直接接收数字域二进制控制码.

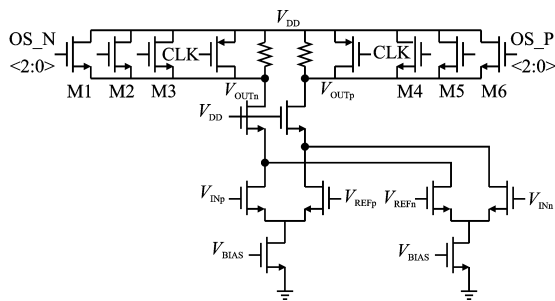


图3 比较器中的预放大器

3 比较器失调校准设计

3.1 孔径误差校准设计

如图 2 所示, 孔径误差造成阈值处的抖动可通过边界处极值之差表征, 该方法可实现快速收敛, 但存在其他影响校准过程的非理想因素, 如超高速下运放建立行为引起余差的非线性放大使得极值之差

过小, 高速统计过程中的误码或离群点使得极值之差过大等.

本文提出一种孔径误差的后台校准技术. 当孔径时间确定时, 子 ADC 和 MDAC 两路采样先后顺序确定, 故而不同信号斜率下阈值处抖动范围不同, 且孔径误差越大该差异越大. 故而可通过分区间对不同信号斜率下余差进行统计、累加、取平均而逼近其均值. 该均值之差与孔径时间呈正相关, 其包含校准的方向信息, 可用于表征孔径误差, 由此代替信号斜率与溢出方向组合进行判断的方法. 与余差极值表征误差相比, 优点在于避免其他非理想因素对误差检测的影响, 如运放的抖动和有限增益、电容失配等.

如图 4 所示, VDL 用于配置 MDAC 采样路径的延时, 而非子 ADC 比较器采样路径的延时, 以避免对 ADC 信噪比 (SNR) 的影响. 余差由后级数字码加权, 判定斜率后, 自适应地累加收敛至均值, 均值之差达到预设的正阈值 pos 或负阈值 neg 后使 VDL 控制码做相应变化, 寄存差值后进行下一次迭代收敛.

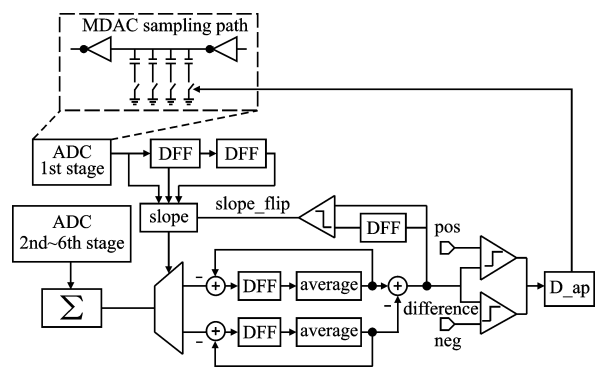


图4 孔径误差校准框图

当信号频率位于偶数奈奎斯特区间区间时需要信号斜率进行翻转^[5], 设计实现中未对其判断, 而是比较 VDL 控制码变化前后极值之差收敛值, 若信号斜率判断正确则 VDL 变化后抖动区域缩小, 均值之差减小直至小于设定阈值; 反之, 若信号斜率判断错误, 则 VDL 变化后抖动趋于扩大, 均值之差增大, 直至 VDL 控制码向一侧打满, 故而配置斜率翻转, 重新进行上述迭代. 即, 每次迭代的方向是通过比较 VDL 变化前后阈值抖动范围变化进行判定, 若范围变大, 配置信号翻转, 进行反向迭代; 若范围变小, 保持当前校准方向. 利用这种方法可对宽带输入信号进行校准.

3.2 静态比较器阈值校准

虽然采用 LMS 算法可对交织误差、孔径误差进行校准,在实用性、速度和开销上能够达到较好的折中,但其不适用于检测静态比较器失调. 因为一旦输入信号特征未知,如频率、幅度、噪声等,分区间统计采样值可能导致收敛不稳定甚至发散,即该均值无法单独表征静态比较器失调.

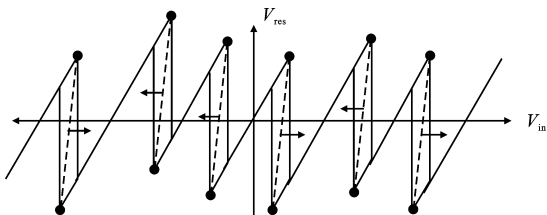


图 5 静态比较器阈值失调校准极值

如图 5 所示,各阶跃位置处的极值也可以表征失调信息. 虽然受统计分布、噪声和运放建立行为等影响,极值存在偏移和退化,但阶跃位置整体对称性不受影响,配合孔径误差校准可完成静态比较器失调误差检测. 某 $V_{th}(i)$ 处余差极小值和极大值分别为

$$V_{\min}(i) = G(V_{th}(i) - \Delta V_{ap} - \sum_{j=0}^{i-1} W_{Cs}(j))$$

$$V_{\max}(i) = G(V_{th}(i) + \Delta V_{ap} - \sum_{j=0}^i W_{Cs}(j))$$

式中, ΔV_{ap} 表示孔径误差造成的最大抖动,仅存在于第一级; W_{Cs} 表示每 bit 量化翻转采样电容的权值. 两极值之和为

$$V_{\min}(i) + V_{\max}(i) = 2GV_{th}(i) - G(\sum_{j=0}^i W_{Cs}(j) + \sum_{j=0}^{i-1} W_{Cs}(j))$$

式中, $V_{th}(i)$ 包含静态比较器失调,第二项为常数. 故而,两极值之和可表征静态比较器失调^[7],避免随机抖动的影响. 由此,刷新两极值并根据极值之和偏离 0 的距离,确定校准方向和晶体管控制码. 如图 3 所示双向 3 bit 调节晶体管,其校准步长为

$$\text{step} = G \cdot (\text{LSB}_D/2)/(2^i - 1)$$

当极值之差大于阶跃高度对应电容权值,且待校准失调大于校准步长的一半时,触发校准过程. 对于一个 12 bit 流水线,且每级 2.5 bit 量化,数字域中比较器输入每区间范围 LSB_D 为

$$\text{LSB}_D = 2^{n-2(m-1)}/2^3$$

式中, m 表示流水线级数.

为避免统计过程中的极端数据造成错误检测,极大值的更新过程替换为累加,极小值的更新过程

替换为累减. 且由于两极值均为抖动范围边界,统计过程中无需对信号斜率进行判断.

由于晶体管和 VDL 的控制会直接影响余差统计,孔径误差和静态比较器失调校准会相互影响,故而在二者之间设置端口,以保证任意时刻 VDL 和晶体管控制码至多一个允许变化.

4 比较器失调校准仿真与原型验证

4.1 校准的 RTL 实现与仿真

根据上述原理与方案,在数字域运用 VerilogHDL 描述并实现相关校准电路. 为了验证提出的后台校准设计的可行性,并后续应用于 4 通道时间交织 2.5 GS/s 12 bit 流水线 ADC 数字校准部分,配合模拟域设计的时序与细节,同样运用 HDL 建立 1.2 V_{pp} 750 MSps 12 bit 单通道流水线 ADC 的仿真模型. 在 ModelSim 工具中进行功能仿真,并导出数据在 MATLAB 进行性能分析. 孔径误差校准采用 4 bit VDL,校准步长为 1 ps;静态比较器失调校准采用 3 bit 晶体管,校准步长为本级 1/8LSB. 仿真模型中引入的非理想因素包括输入随机噪声、运放有限级间增益、采样电容失配、三级静态比较器失调和 6.8 ps 孔径时间等.

校准前后第一级余差曲线如图 6、图 7 所示,其中输入信号频率 $f_{in} = 1.913$ GHz,总采样率 $f_s = 2.5$ GHz.

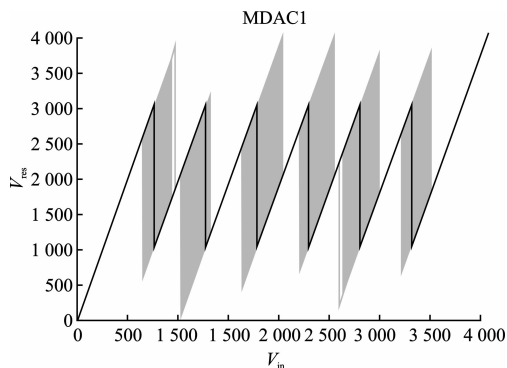


图 6 校准前流水线第一级输出余差曲线

仿真结果显示,孔径误差和静态比较器失调校准前阶跃位置处的抖动存在超出上下限的现象,频谱分析得 SNDR 为 47 dB;而误差校准后抖动范围缩小,且阶跃位置基本关于中央对称,分析得 SNDR 为 57 dB. 且随着信号频率的提高,提出的校准电路对性能恶化的缓解效果明显.

4.2 校准的 FPGA 原型验证与测试

将 Verilog HDL 描述的比较器失调校准模块

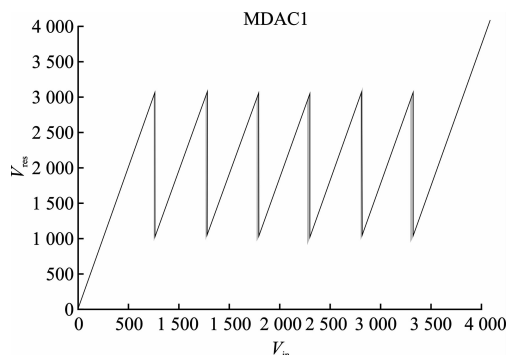


图7 校准后流水线第一级输出余差曲线

嵌入单通道 ADC 的数字校准中,搭载 FPGA 实现,片外数字部分来自单通道 ADC 原型的裸数据进行处理,并对其配置完成校准.经孔径误差与静态比较器失调校准前、后性能曲线如图 8 所示,其中输入信号频率 f_{in} 从 113 MHz 开始至 2 313 MHz,步进 200 MHz,总采样率 $f_s=2.5$ GHz.

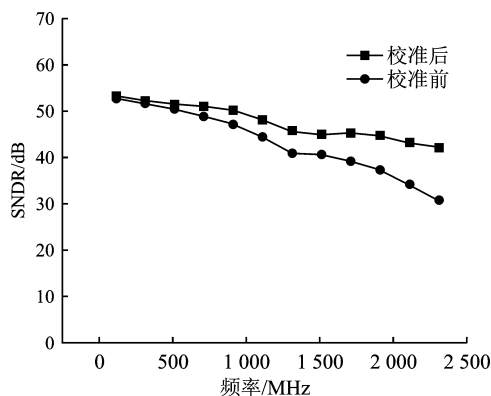


图8 校准前后性能曲线

图 8 所示校准前性能为电容失配、有限级间增益前台校准后测试结果.根据信号频率为 1.913 GHz 时阶跃位置抖动边界计算得校准前孔径时间为 6.1 ps.测试结果表明:校准后 SNDR 改善了 8 dB.当信号频率较低时比较器失调对性能恶化的影响不明显,随着信号频率的提高,校准能够带来的性能提升更加明显,从而提高 ADC 高频信号下的整体性能.

5 结束语

提出了一种比较器失调数字域校准方法,主要应用于高精度无采保流水线 ADC 中,以应对高信号频率下余差的冗余裕量下降造成的性能恶化问题,放宽模拟设计要求和与其他校准技术使用限制.详细描述了孔径误差与静态比较器失调误差的校准原理、方法与基于 FPGA 的数字实现.所提出的校准

方法适用于高精度 ADC,在数字域对流水线输入和输出余差情况进行统计,通过相邻阶跃位置间均值之差与阶跃位置的极值之和分别来检测孔径误差与静态比较器失调,控制模拟域可变延时线与预放大器中负载晶体管完成反馈.仿真结果表明:在输入信号频率为 1.913 GHz,孔径时间为 6.8 ps 时,校准后 SNDR 改善超过 10 dB. FPGA 测试结果进一步表明,高频信号下校准效果更明显,因而为无采保 ADC 提供一种有效的校准方法.

参考文献:

- [1] JAMES D, KUNNATH A T, PURUSHOTHAMAN A, et al. Mitigating aperture error in pipelined ADCs without a front-end sample-and-hold amplifier [C]// Proceedings of the 2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID). Pune, India: IEEE, 2018: 7-12. DOI:10.1109/VLSID.2018.29.
- [2] JU Y, LI F L, HE X J, et al. Aperture error reduction technique for subrange SAR ADC [C]// Proceedings of the 2016 14th IEEE International New Circuits and Systems Conference (NEWCAS). Vancouver, Canada: IEEE, 2016: 1-4. DOI:10.1109/NEWCAS.2016.7604800.
- [3] XU W G, GAO Y F, LIU X D, et al. A 18mW 12bit 50MS/s SHA-less pipelined ADC [C]// Proceedings of the IEEE 12th IEEE International Conference on ASIC. Guiyang, China: IEEE, 2017: 776-779. DOI: 10.1109/ASICON.2017.8252591.
- [4] WANG C W, WANG X, DING Y, et al. A 14 bit 250MS/s low-power pipeline ADC with aperture error eliminating technique [C]// Proceedings of 2018 IEEE International Symposium on Circuits and Systems. Florence, Italy: IEEE, 2018: 1-5. DOI: 10.1109/ISCAS.2018.8351100.
- [5] BRANDOLINI M, SHIN Y J, RAVIPRAKASH K, et al. A 5GS/s 150mW 10b SHA-less pipelined/SAR Hybrid ADC for direct-sampling systems in 28nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2015, 50 (12): 2922-2934. DOI: 10.1109/JSSC.2015.2464684.
- [6] GINES A J, PERALIAS E J, RUEDA A. Fast background calibration of sampling timing skew in SHA-Less pipeline ADCs [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(10): 2966-2970. DOI:10.1109/TVLSI.2017.2718625.
- [7] ZHU C Y, LIN J, WANG Z F. Background calibra-

tion of comparator offsets in SHA-less pipelined ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66 (3): 357-361. DOI: 10.1109/TCSII.2018.2854571.

作者简介:

赵浩男 男,(1994-),硕士研究生. 研究方向为数模混合集成电路设计.

郭 轩 男,(1990-),助理研究员. 研究方向为数模混合集成电路设计.

周 磊 男,(1986-),副研究员. 研究方向为数模混合集成电路设计.

吴旦昱 男,(1985-),副研究员. 研究方向为数模混合集成电路设计.

武 锦(通讯作者) 女,(1978-),博士,研究员. 研究方向为数模混合集成电路设计. E-mail: wujin@ime. ac. cn.